

Санкт-Петербургский национальный исследовательский  
университет информационных технологий, механики и оптики

# Дискретная математика

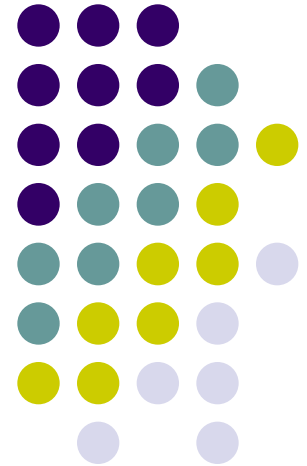
курс лекций

лекция 3

Кафедра  
«Проектирования и  
безопасности  
компьютерных систем»  
Гришенцев А. Ю.

[www.moveinfo.ru](http://www.moveinfo.ru)

Логические  
элементы  
(обзорная лекция)



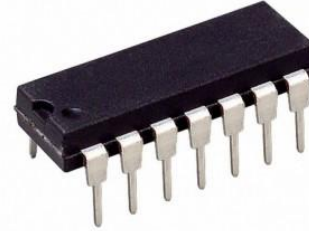
Санкт-Петербург  
2014

# Интерпретация логических функций

В механике



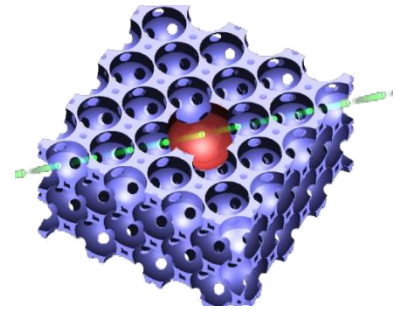
В электронике



В электромеханике



В оптике



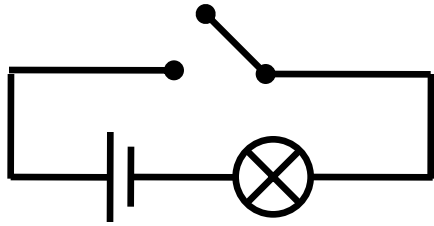
В газодинамике



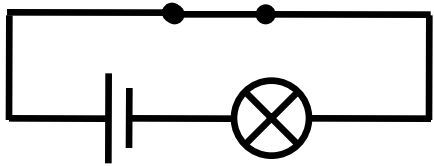
В других областях . . .



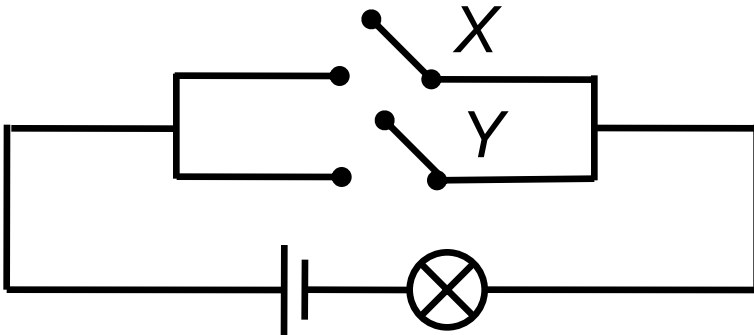
# Логика ключей



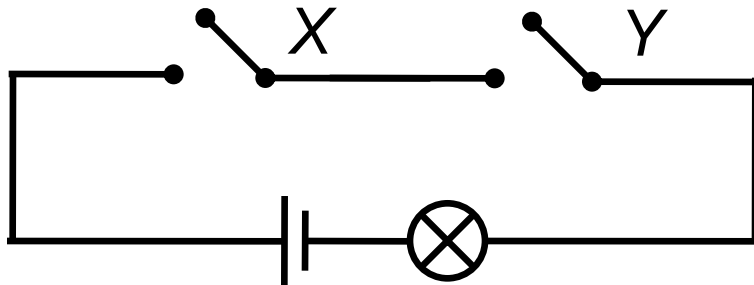
*const (0, false)*



*const (1, true)*



*ИЛИ (X+Y)*

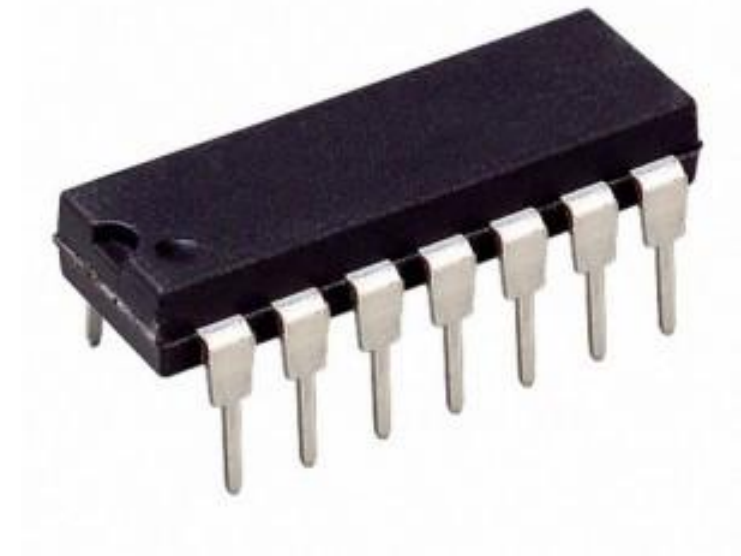


*И (X·Y)*

Подобную интерпретацию логических функций возможно обнаружить в самых различных областях.

# Электронные логические элементы

*Электронные логические элементы (ЭЛЭ)* – так называют электронные компоненты реализующие различные функции алгебры логики и предназначенные для обработки цифровой информации.



## Некоторые параметры характеризующие ЭЛЭ и большие интегральные схемы (БИС)

- Реализуемая логическая функция.
- Нагрузочная способность  $n$ , характеризующая возможность подключения определённого числа идентичных ЭЛЭ.
- Коэффициент объединения по входу.
- Средняя задержка передачи сигнала (полусумма времени задержек передачи сигналов 0 и 1 со входа на выход ЛЭ).
- Предельная рабочая частота (частота переключения триггера, составленного из рассматриваемых ЭЛЭ).
- Помехоустойчивость.
- Потребляемая мощность.

Электронные логические элементы (ЭЛЭ) – часто называют сокращённо логические элементы (ЛЭ).

## Деление по виду реализуемой функции

Функциональные элементы одноступенчатой логики реализующие функции: «И», «ИЛИ», «НЕ», «И-НЕ», «ИЛИ-НЕ».

Функциональные элементы двухступенчатой логики: «И-ИЛИ», «ИЛИ-И», «НЕ-И-ИЛИ», «И-ИЛИ-НЕ», «И-ИЛИ-И» и др.

### **Соглашение положительной логики**

Более положительное значение физической величины (логический уровень Н) соответствует LOG1. Менее положительное значение физической величины (логический уровень L) соответствует LOG0.

### **Соглашение отрицательной логики**

Менее положительное значение физической величины (логический уровень L) соответствует LOG1. Более положительное значение физической величины (логический уровень Н) соответствует LOG0.

По ГОСТ 2.743-91 «Обозначения условные графические в схемах. Элементы цифровой техники».

# Нагрузочная способность

*Нагрузочная способность (коэффициент разветвления)* – определяет число входов идентичных элементов, которое может быть подключено к выходу каждого из них. При этом обеспечивается неискажённая передача двоичных символов 0 и 1 по цепи из произвольного числа последовательно включённых элементов при наихудших условиях дестабилизирующих факторов (разброс параметров компонентов, нестабильность напряжения питания, изменение температуры и др.)

Наибольшую нагрузочную способность имеют логические элементы на базе МДП, в зависимости от частотного диапазона она может быть от 10 до 100 (чем выше частота тем меньше).

МДП-микросхемы – микросхемы выполненные на базе полевых транзисторов со структурой «Металл-Диэлектрик-Полупроводник».

# Коэффициент объединения по выходу

*Коэффициент объединения по входу* – характеризует максимальное число логических входов функционального элемента.

При увеличении количества входов логического элемента возрастает его функциональность за счёт возможности выполнения функций с большим числом аргументов, но при этом обычно снижается помехоустойчивость, нагрузочная способность, возрастает потребляемая мощность, а следовательно требуется больше затрат для охлаждения.



# Основные динамические параметры ЛЭ

$U_{1min}$  – напряжение, минимальное значение уровня логической 1;

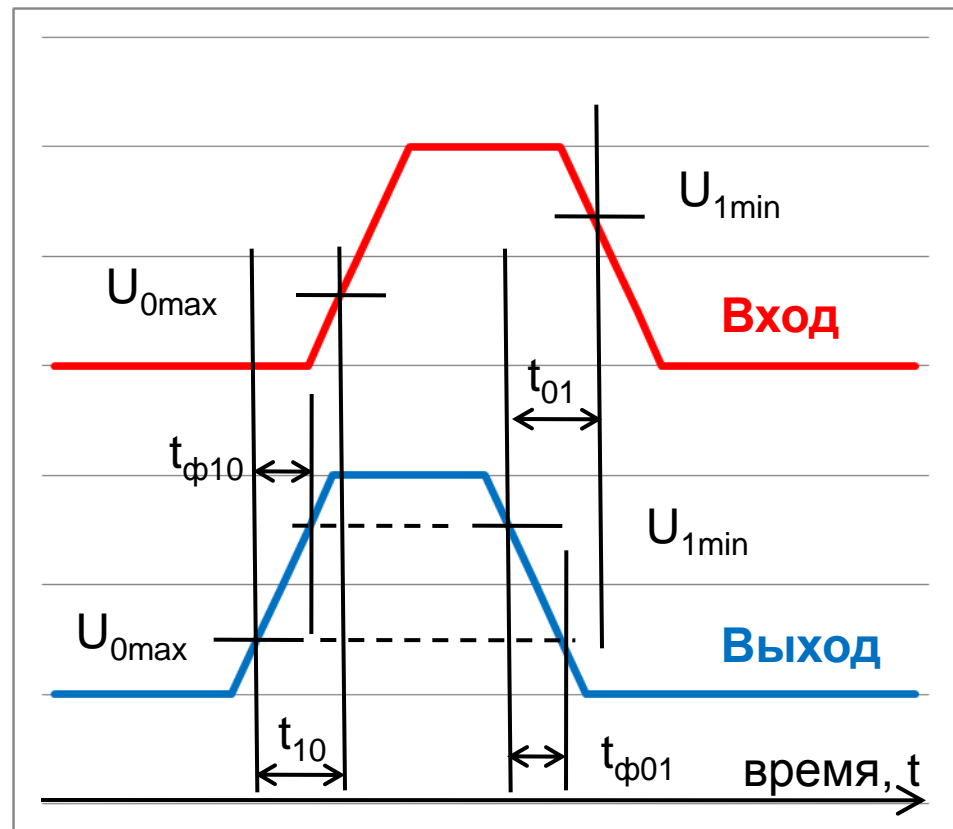
$U_{0max}$  – напряжение, максимальное значение уровня логической 0;

$t_{\phi 10}$  – время, формирования фронта логического 0;

$t_{\phi 01}$  – время, формирования фронта логической 1;

$t_{10}$  – время, задержка переключения из состояния 1 в состояние 0;

$t_{01}$  – время, задержка переключения из состояния 0 в состояние 1.



Средняя задержка передачи сигнала  $(t_{01} + t_{10})/2$ .

Следствием указанных параметров является ограничение максимального порога частоты работы ЛЭ и длительности импульса.

# Помехоустойчивость

*Статическая помехоустойчивость* – определяется значением напряжения которое может быть подано на вход ИМС (реализующей ЛЭ) относительно уровня 0 или 1, не вызывая её ложного срабатывания (переключения).

*Динамическая помехоустойчивость* – в общем случае зависит от длительности, формы, мощности сигнала помехи, а так же от уровней статической помехоустойчивости, скорости переключения ЛЭ, времени формирования логического фронта. Высокая статическая помехоустойчивость не всегда определяет высокую динамическую помехоустойчивость.

Сложность получения семейства характеристик динамической помехоустойчивости ЛЭ не позволяет в настоящее время приводить их в качестве справочного материала в ТУ на микросхемы.

# Потребляемая мощность

Три базовых состояния логических элементов: *выключено*, *включено*, *переключение*. В связи с этими состояниями микросхемы реализующие логические элементы разделяют:

- потребляют наибольшее количество энергии в статическом состоянии (*выключено*, *включено*);
- потребляют наибольшее количество энергии при переключении.

Среднее потребление энергии в статических состояниях характеризуется величиной:  $P_{\text{ср}} = (P_{\text{вкл.}} + P_{\text{выкл.}}) / 2$ , где  $P_{\text{вкл.}}$  – потребление в состоянии включено,  $P_{\text{выкл.}}$  - потребление в состоянии выключено.

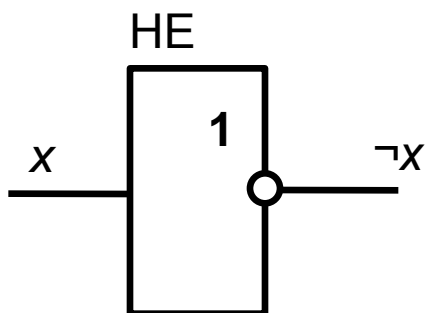
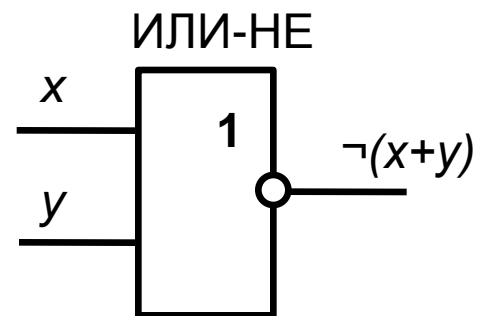
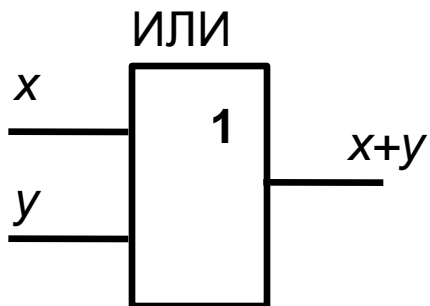
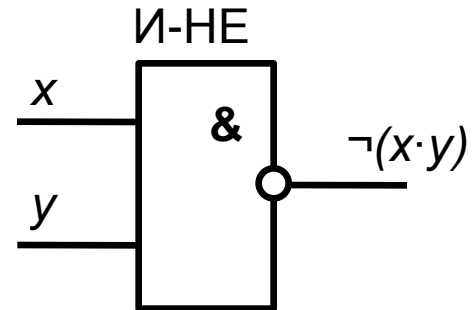
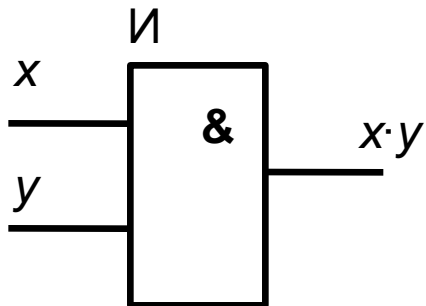
Для микросхем потребляющих наибольшее количество энергии при переключении вводят характеристику выражающую среднюю потребляемую мощность при максимальной частоте переключения.

Корректный расчёт потребляемой мощности позволяет:

- выбрать источники питания достаточной мощности;
- выбрать тип и параметры системы охлаждения;
- произвести компоновку элементов на плате с учётом распределения тепла;
- как следствие повысить надёжность и устойчивость системы на логических элементах.

Повышение рабочей температуры полупроводниковых микроэлементов, над номинальной на каждые 2-3 сокращает срок службы вдвое.

# Элементы одноступенчатой логики



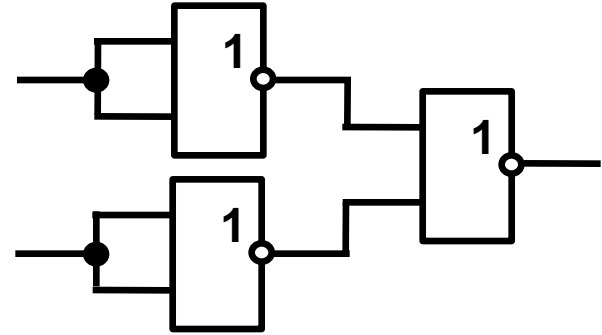
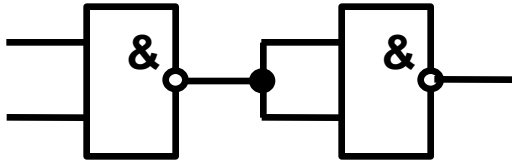
Элементы «И», «ИЛИ», «И-НЕ», «ИЛИ-НЕ» могут содержать более двух входов.

# Взаимные преобразования

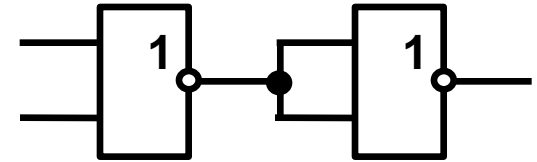
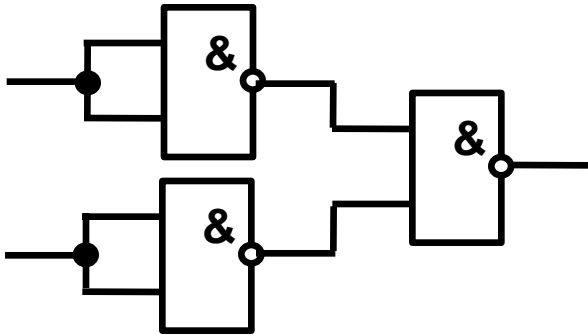
И-НЕ

ИЛИ-НЕ

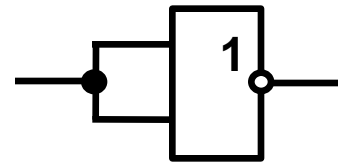
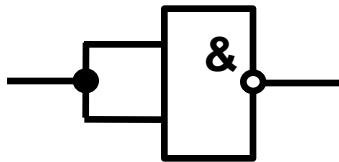
И



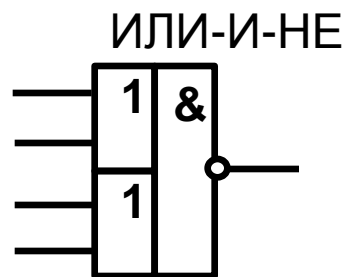
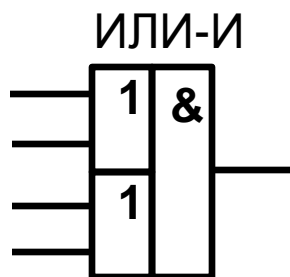
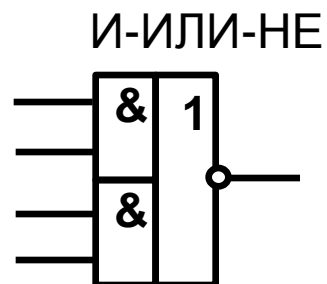
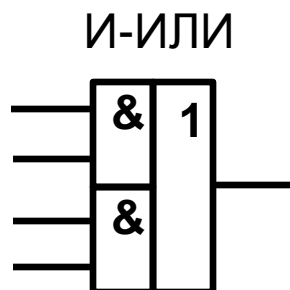
ИЛИ



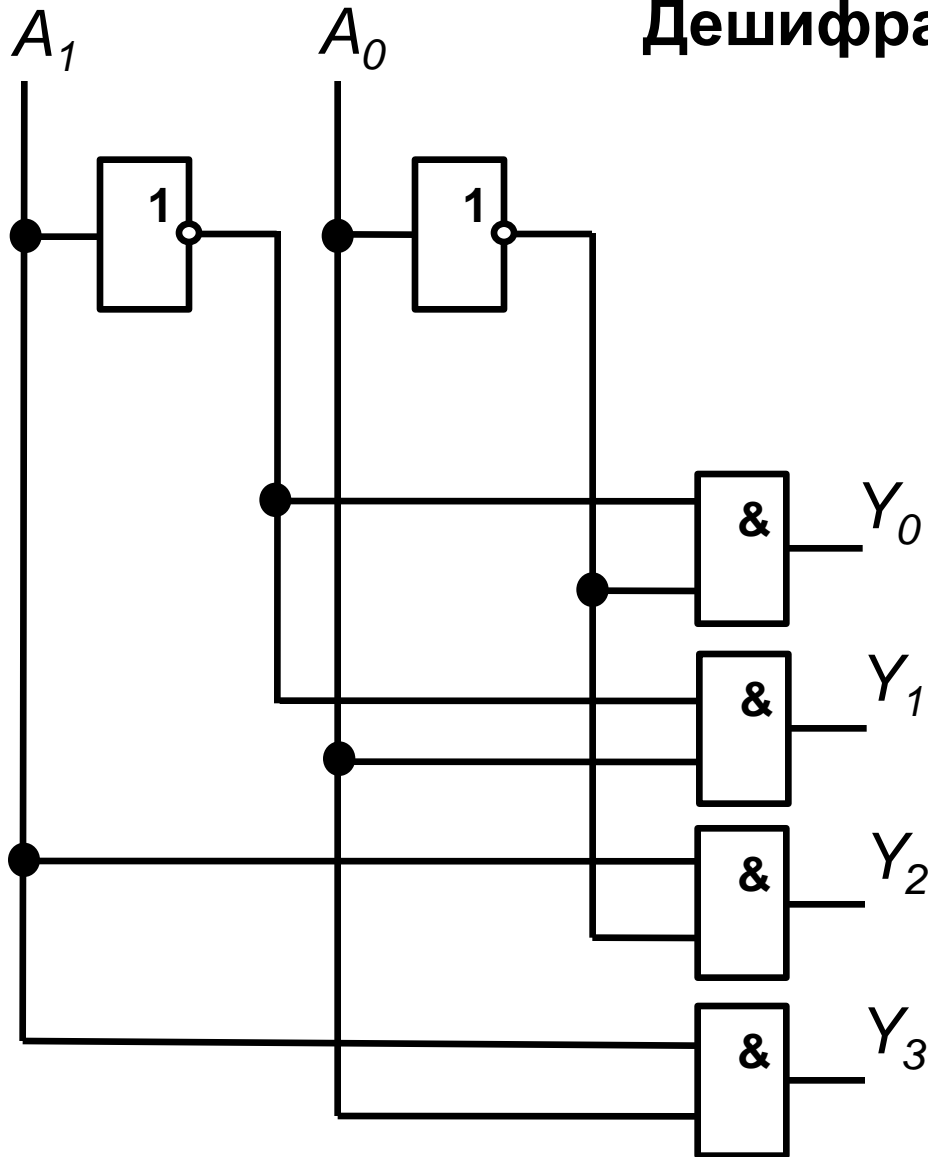
НЕ



# Примеры элементов двухступенчатой логики



## Дешифратор 1:n



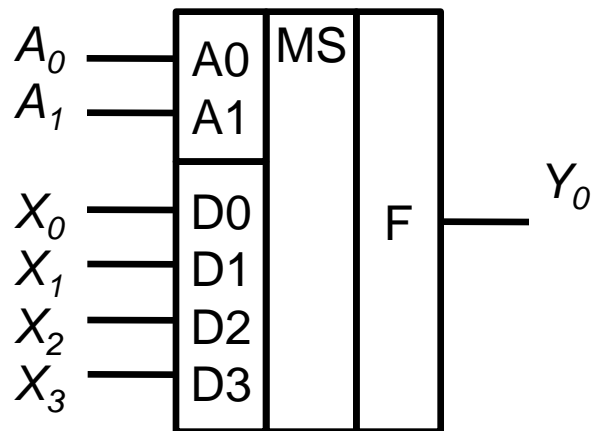
В любой момент времени дешифратор активизирует только один из  $n$  возможных выходов. Выбор активного выхода осуществляется при помощи управляющих входов (адресов).

На изображении схема на логических элементах и таблица истинности дешифратора 1:4.

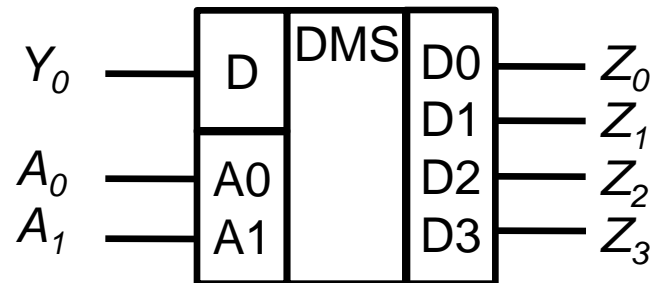
адрес		выходы			
$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

На базе дешифратора реализуют различные схемы адресации т.е. выборки данных или адреса, преобразования кодов и др.

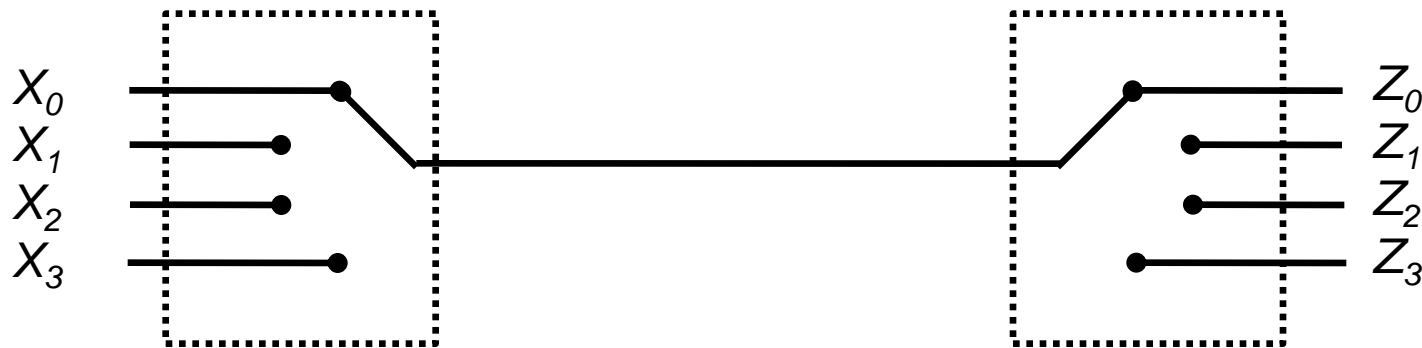
# Мультиплексор и демультиплексор



Мультиплексор



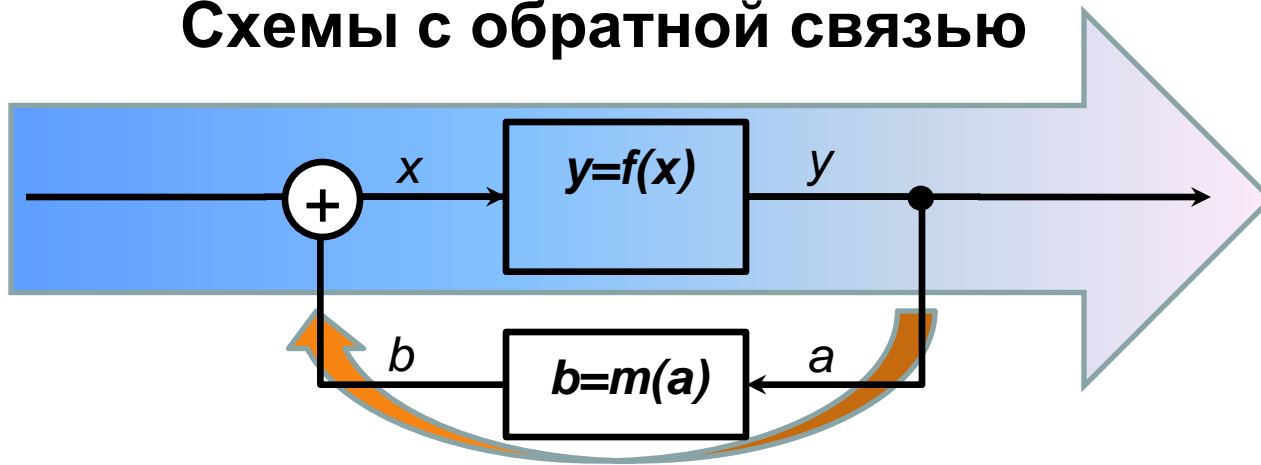
Демультиплексор



Мультиплексор и демультиплексор возможно использовать для построения произвольной логической функции.

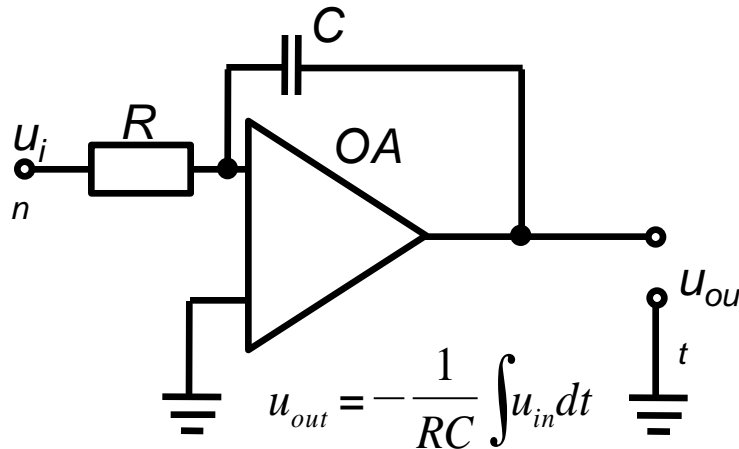


# Схемы с обратной связью

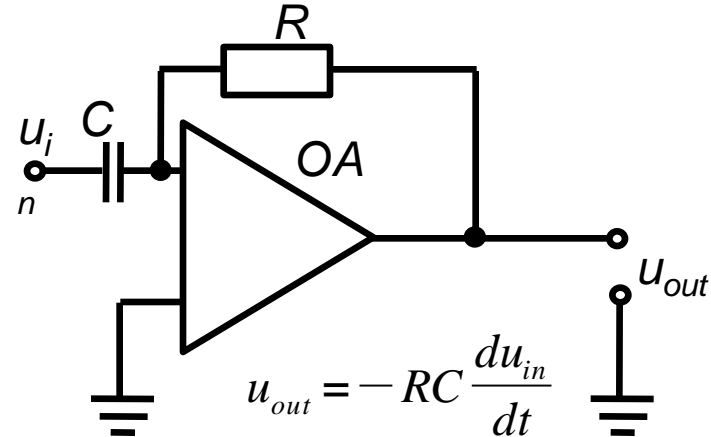


## Примеры аналоговых схем с обратной связью

*Интегрирующая  
схема на ОУ*

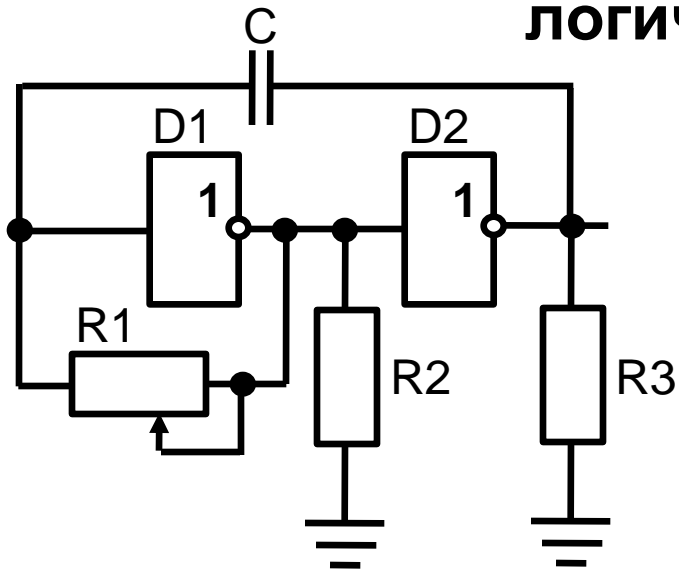


*Дифференцирующая  
схема на ОУ*

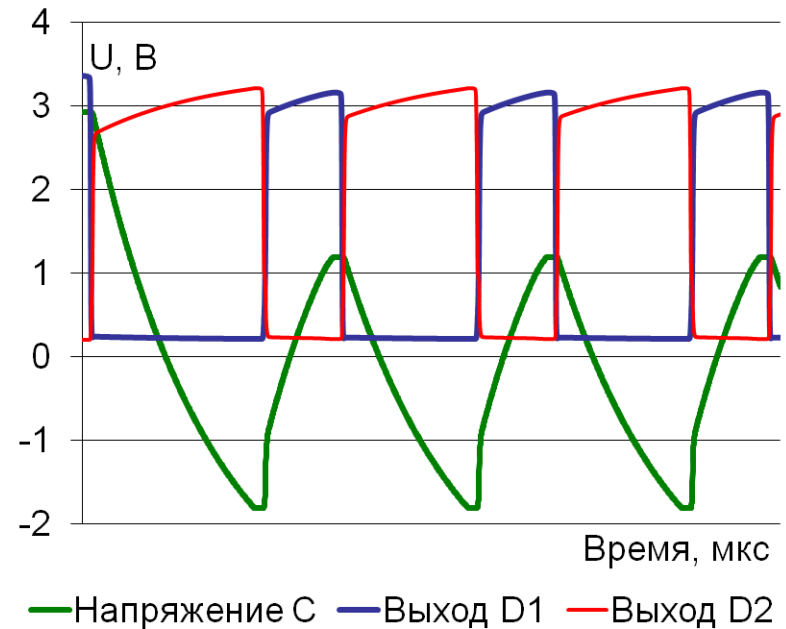


Обратная связь позволяет получать информацию о некотором состоянии системы на промежуточных звеньях или выходе. Такая информация является откликом системы на входящий ранее сигнал (или группу сигналов).

# Обратная связь в схемах на базе логических элементов



Генератор сигналов на элементах «НЕ»



Многие схемы на базе логических элементов построены с применением *обратной связи*. В схемах логики обратная связь, при формировании нового значения, позволяет учитывать предыдущие значения на выходе, т.е. позволяет реализовать рекуррентные схемы или схемы с памятью.

Логику с памятью называют *секвенциальной логикой*.

Хорошим примером могут быть *триггеры*.

\*графики получены на основании расчётов в программе схемотехнического моделирования MicroCap.

# Триггеры

*Триггер* – элемент класса объектов (в частности устройств) обладающих двумя или более состояниями устойчивого равновесия, способных под действием внешних управляющих воздействий переключаться в любое из этих состояний и находиться в них сколь угодно продолжительное время.

В сфере электронных логических элементов триггером называют электронное устройство способное переключаться и запоминать логические состояния 0 или 1 (или их различные комбинации в случае множества выходов) под воздействием внешних управляющих сигналов.

Триггеры применяют для реализации множества функциональных логических устройств: регистров, переключателей, счётчиков, делителей, сумматоров и др.

Триггеры являются наиболее распространёнными элементами в цифровых схемах.

Триггеры с двумя устойчивыми состояниями называют – *бистабильными*.

# Классификация электронных триггерных устройств

Триггеры потенциального кодирования

Способ схемотехнической реализации

Динамические триггеры (ДТ)

Статические триггеры (СТ)

Импульсно-статические триггеры (ИСТ)

Квази-статические триггеры (КСТ)

Функциональный признак

Способ записи

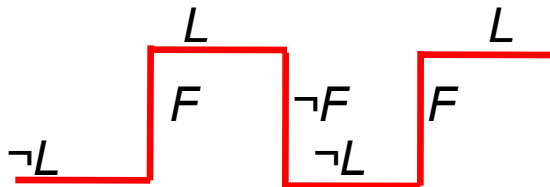
Способ управления записью

Асинхронные (не тактируемые)

Тактируемые (синхронные)

$L, \neg L, F, \neg F, L(\neg F), (\neg L)F, \neg(LF), LF, T(\neg F)$

D, RS, JK, RST, E, R, S, T



Обозначение фрагментов сигнала

Номенклатура триггеров определяется на основании условного обозначения совокупности классификационных признаков.

# Управляющие входы триггеров

*S – (от англ. **S**et - установка) отдельный вход установки триггера в единичное состояние по прямому выходу Q.*

*R – (от англ. **R**eset - сброс) отдельный вход установки триггера в нулевое состояние по прямому выходу Q.*

*J – (от англ. **J**erk - включение) вход установки универсального триггера в состояние 1.*

*K – (от англ. **K**ill - выключение) вход сброса универсального триггера в состояние 0.*

*D – (от англ. **D**ata - данные) информационный вход переключения триггера в состояние соответствующее логическому уровню на этом входе, требует подтверждения тактированием.*

*T – (от англ. **T**oggle - переключатель) счётный вход.*

*C – (от англ. **C**lock - время) синхронизирующий вход.*

*V – (от англ. **V**alue - значение) вход запрета и начальной установки триггера.*

Кроме основных, перечисленных входов триггер может иметь дополнительные входы.

# Примеры расшифровки обозначений триггеров

$C_L RS$  - тактируемый RS- триггер вида L, переключаемый по входам R, S - сигналом высокого уровня (L).

Возможно иное обозначение:  $C_L RS = C_L R_L S_L = (CRS)_L$ .

$C_{\bar{L}} \bar{R} \bar{S}$  - тактируемый RS- триггер вида  $\bar{L}$ , переключаемый по входам R, S - сигналом низкого уровня ( $\bar{L}$ ).

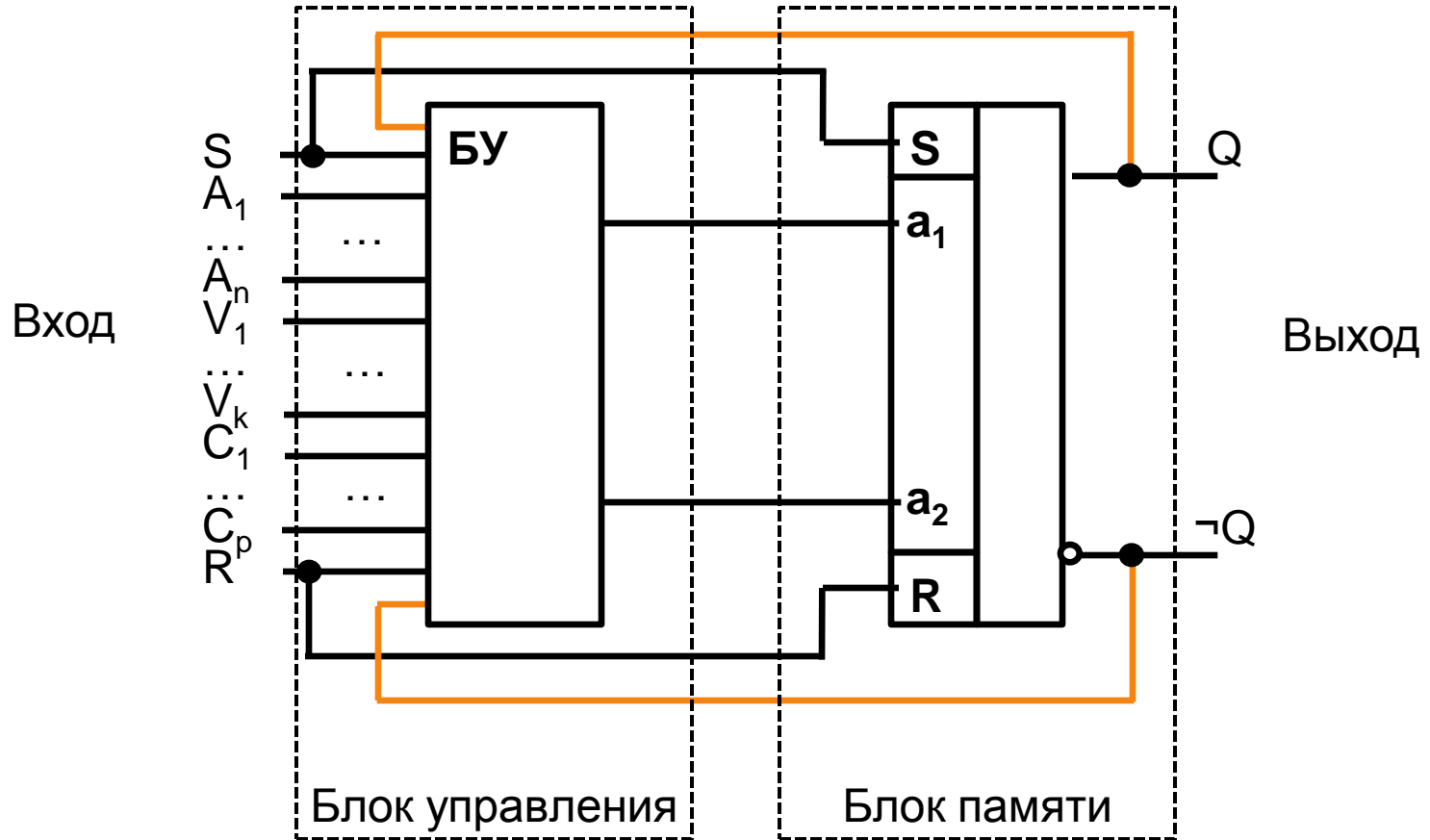
Возможно иное обозначение:  $C_{\bar{L}} \bar{R} \bar{S} = C_{\bar{L}} R_{\bar{L}} S_{\bar{L}} = (CRS)_{\bar{L}}$ .

$C_{\bar{L}F} JK$  - тактируемый JK- триггер вида  $\bar{L}F$ , переключаемый по входам J, K - сигналом л. нуля (0).

Возможно иное обозначение:  $C_{\bar{L}F} JK = C_{\bar{L}F} J_{\bar{L}F} K_{\bar{L}F} = (CJK)_{\bar{L}F}$ .

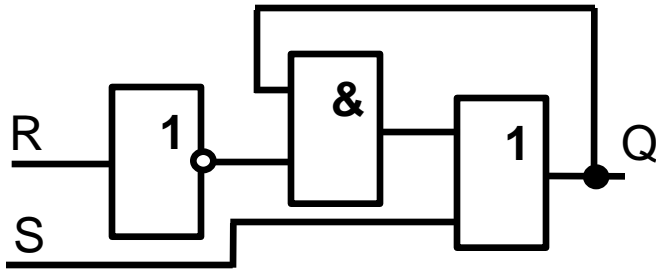
Подробнее о номенклатуре триггеров можно прочитать в специализированной литературе [3].

# Обобщённая модель триггера



# Однофазный асинхронный RS-триггер

RS-триггер – элементарный автомат с двумя устойчивыми состояниями, имеющий два информационных входа R и S, такие, что при R=1, S=0 триггер принимает состояние 0 (Q=0), а при S=1, R=0 – состояние 1 (Q=1). В соответствии с состоянием, принимаемым триггером, вход S называют единичным входом триггера, а вход R – нулевым входом триггера.



(RS)<sub>L</sub>-триггер схема на логических элементах

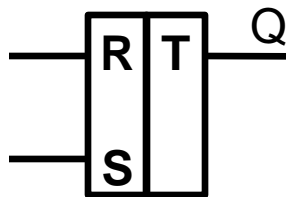
Карта Карно

Q <sup>n+1</sup>		R <sup>n</sup> S <sup>n</sup>			
		00	01	11	10
Q <sup>n</sup>	0	0	1	1	0
	1	1	1	1	0

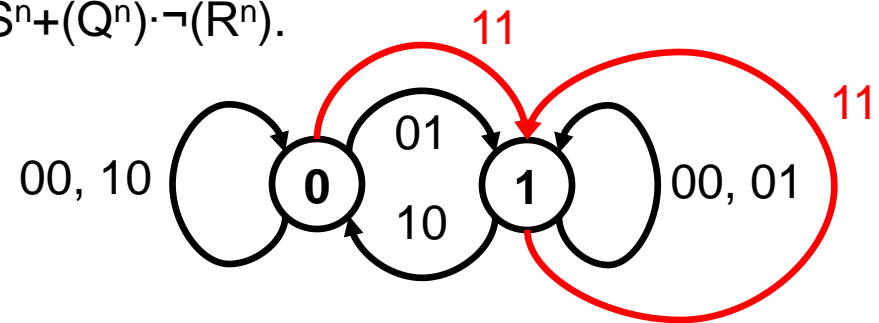
Таблица истинности

R <sup>n</sup>	S <sup>n</sup>	Q <sup>n+1</sup>	состояние
0	0	Q <sup>n</sup>	разрешено
0	1	1	разрешено
1	0	0	разрешено
1	1	1	запрещено

Характеристическое уравнение RS-триггера имеет рекуррентную форму:  $Q^{n+1} = S^n + (Q^n) \cdot \neg(R^n)$ .



Обозначение

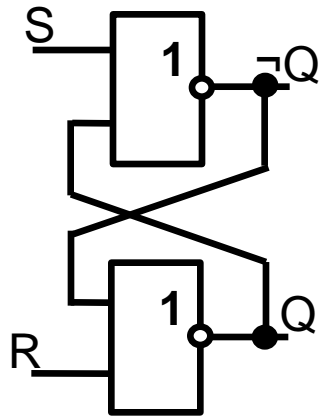


Граф переходов RS-триггера

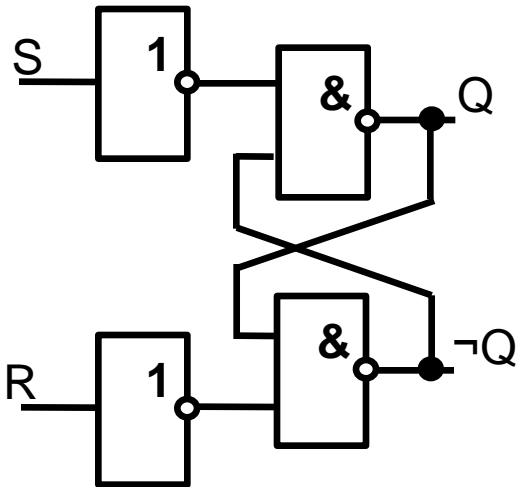
В электронных схемах на логических элементах необходимо исключать возможность перехода RS-триггера в запрещённое состояние.



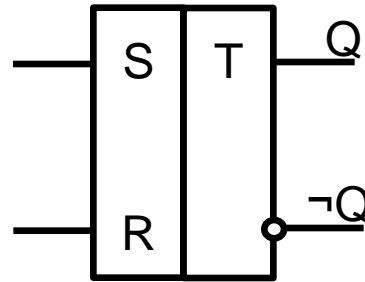
# Парафазный асинхронный RS-триггер



$(RS)_L$ -триггер схема на логических элементах ИЛИ-НЕ



$(RS)_L$ -триггер схема на логических элементах И-НЕ



Обозначение

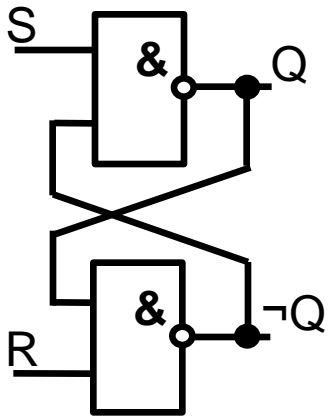
Таблица истинности

$R^n$	$S^n$	$Q^{n+1}$	$\neg Q^{n+1}$	состояние
0	0	$Q^n$	$\neg Q^n$	разрешено ( $Q \neq \neg Q$ )
0	1	1	0	разрешено ( $Q \neq \neg Q$ )
1	0	0	1	разрешено ( $Q \neq \neg Q$ )
1	1	0	0	запрещено ( $Q = \neg Q$ )

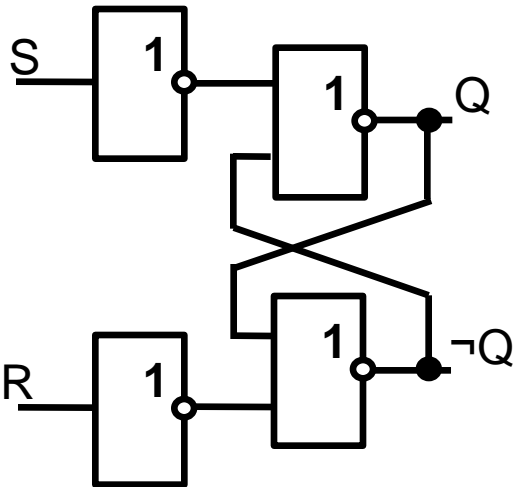
Карта Карно

		$R^n S^n$			
		00	01	11	10
$Q^n \neg Q^n$	00	XX	10	00	01
	01	01	10	00	01
	11	XX	10	00	01
	10	10	10	00	01

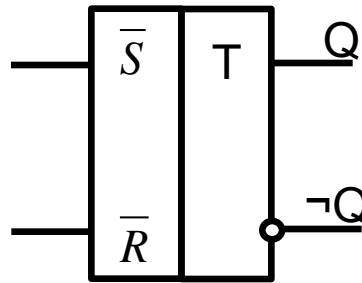
# Парафазный асинхронный $\neg R \neg S$ -триггер



$(RS)_{\neg L}$ -триггер схема на логических элементах И-НЕ



$(RS)_{\neg L}$ -триггер схема на логических элементах ИЛИ-НЕ



Обозначение

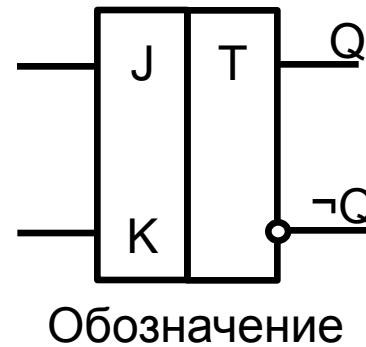
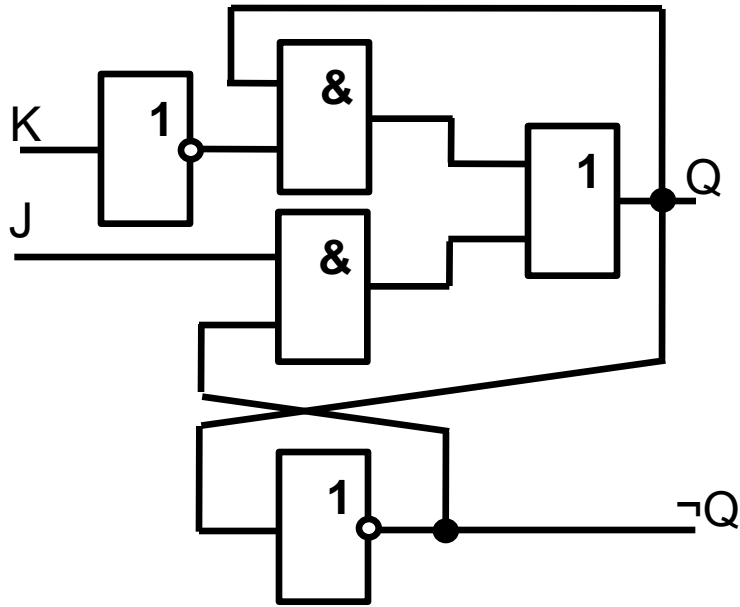
Таблица истинности

$R^n$	$S^n$	$Q^{n+1}$	$\neg Q^{n+1}$	состояние
0	0	1	1	запрещено ( $Q = \neg Q$ )
0	1	0	1	разрешено ( $Q \neq \neg Q$ )
1	0	1	0	разрешено ( $Q \neq \neg Q$ )
1	1	$Q^n$	$\neg Q^n$	разрешено ( $Q \neq \neg Q$ )

Карта Карно

		$Q^{n+1} \neg Q^{n+1}$			
		00	01	11	10
$Q^n \neg Q^n$	00	11	01	XX	10
	01	11	01	01	10
	11	11	01	XX	10
	10	11	01	10	10

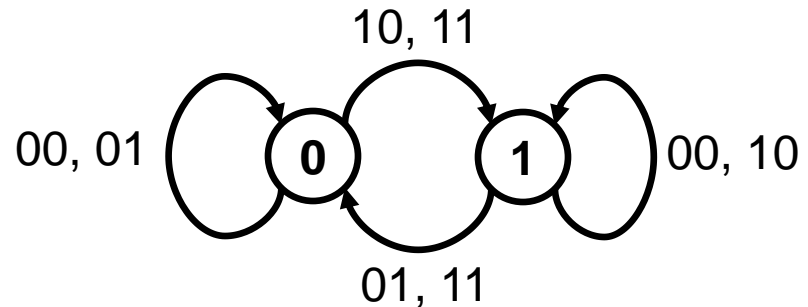
# Асинхронный парафазный JK-триггер



Карта Карно

		$J^n K^n$			
		00	01	11	10
$Q^{n+1}$	0	0	0	1	1
	1	1	0	0	1

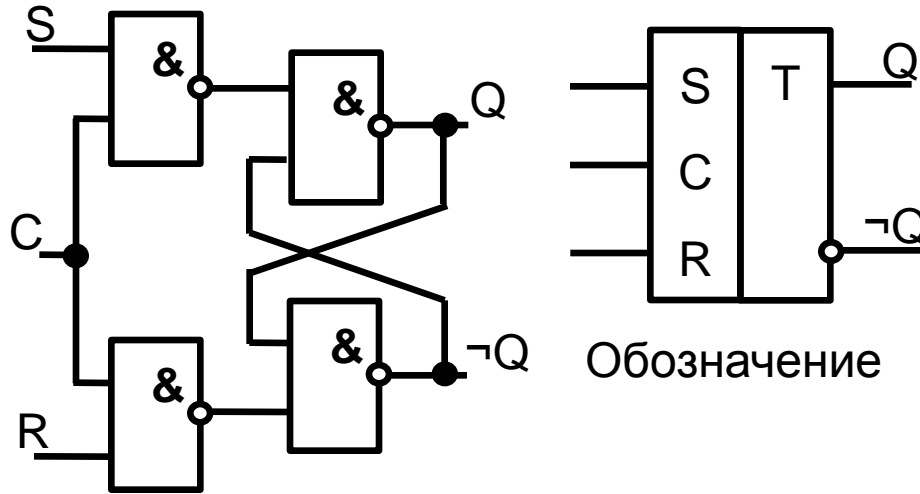
Характеристическое уравнение JK-триггера имеет рекуррентную форму:  
 $Q^{n+1} = J^n \cdot (\neg Q^n) + (\neg K^n) \cdot (Q^n)$ .



Граф переходов JK-триггера

При установке постоянным уровня  $J=K=1$  триггер будет работать в режиме генератора, непрерывно переключаясь. Для исключения перехода триггера в режим генератора необходимо ограничивать продолжительность комбинации  $K=J=1$  временем достаточным для требуемого переключения.

# Тактируемый $C_L$ RS-триггер



$C_L$ RS-триггер, схема на логических элементах И-НЕ

Таблица истинности

$Q^n$	$R^n$	$S^n$	$Q^{n+1}$	
			$C^n=1$	$C^n=0$
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	X	0
1	0	0	1	1
1	0	1	1	1
1	1	0	0	1
1	1	1	X	1

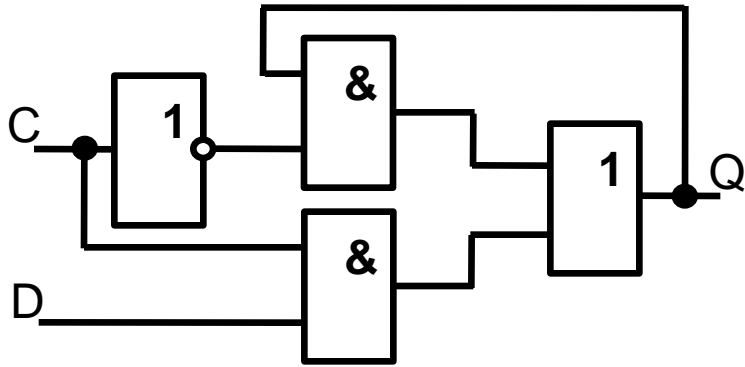
Карта Карно

$Q^{n+1}$		$R^n S^n$			
		00	01	11	10
$C^n Q^n$	00	0	0	0	0
	01	1	1	1	1
	11	1	1	X	0
	10	0	1	X	0

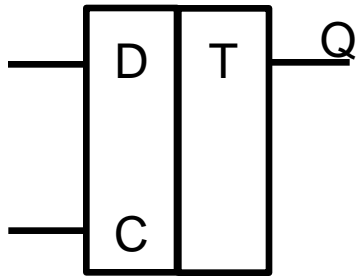
Характеристическое уравнение  $C_L$ RS-триггера имеет рекуррентную форму:  
 $Q^{n+1} = (\bar{C}^n) \cdot Q^n + Q^n \cdot (\bar{R}^n) + C^n \cdot S^n$ .

Тактируемый  $C_L$ RS-триггер наиболее часто реализуется на базисе элементов одноступенчатой И-НЕ или двухступенчатой И-ИЛИ-НЕ логики.

# Однофазный синхронный $C_L D$ -триггер



$C_L D$ -триггер, схема на логических элементах И, НЕ, ИЛИ



Обозначение

Таблица истинности

$C^n$	$Q^n$	$D^n$	$Q^{n+1}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Карта Карно

$Q^{n+1}$		$C^n$	
		0	1
$Q^n D^n$	00	0	0
	01	0	1
	11	1	1
	10	1	0

Характеристическое уравнение  $C_L D$ -триггера имеет рекуррентную форму:  
 $Q^{n+1} = C^n \cdot D^n + (\neg C^n) \cdot Q^n$ .

Как и других триггеров у  $C_L D$ -триггера имеется несколько вариантов схемотехнического решения предоставляющих равные функциональные возможности но отличающиеся техническими характеристиками (число логических элементов, потребляемая мощность, быстродействие).

# Регистры

*Регистры* – устройства выполняющие функции, приёма, хранения и передачи информации. На базе регистров так же выполняют операции преобразования информации: сдвига, сравнения, сложения, умножения и др.

## **ПО СПОСОБУ ЗАПИСИ**

*Параллельные регистры* – запись и чтение осуществляется параллельным кодом.

*Последовательные регистры* – запись и чтение осуществляется последовательным кодом, путём сдвига задаваемого тактирующими импульсами.

*Параллельно-последовательные регистры* – позволяют производить запись и чтение параллельным и последовательным способом в различных комбинациях (например: последовательная запись, параллельное чтение).

## **ПО ЧИСЛУ КАНАЛОВ ЗАПИСИ**

*Однофазные регистры* – информация для записи поступает по одному каналу, часто выполняются на триггеров CD типа.

*Парафазные регистры* – информация для записи поступает по двум каналам, часто выполняются на базе триггеров CRS типа.

## **ПО ЧИСЛУ РАЗРЯДОВ РЕГИСТРА**

По числу разрядов образующих связанный логическими функциями ряд однотипных или сходных элементов каждый из которых имеет свой номер (0...n).



# 4-х разрядный, однофазный, сдвиговый регистр однотактного действия на базе $C_{L-F}D$ -триггеров

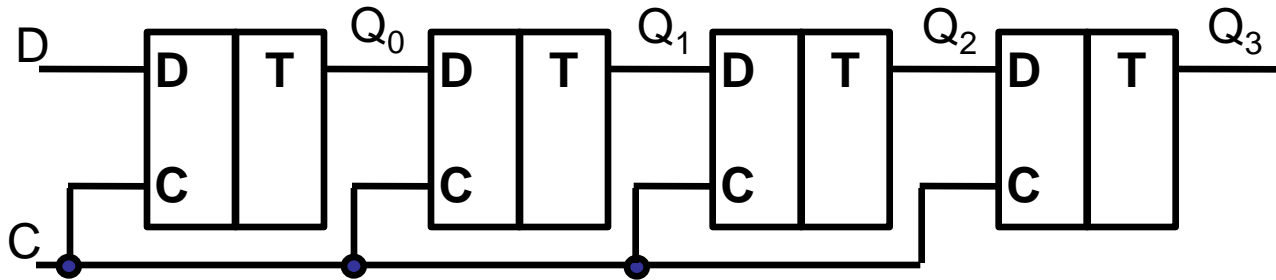
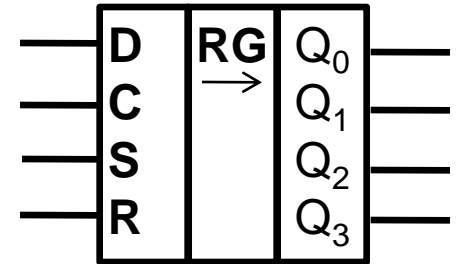
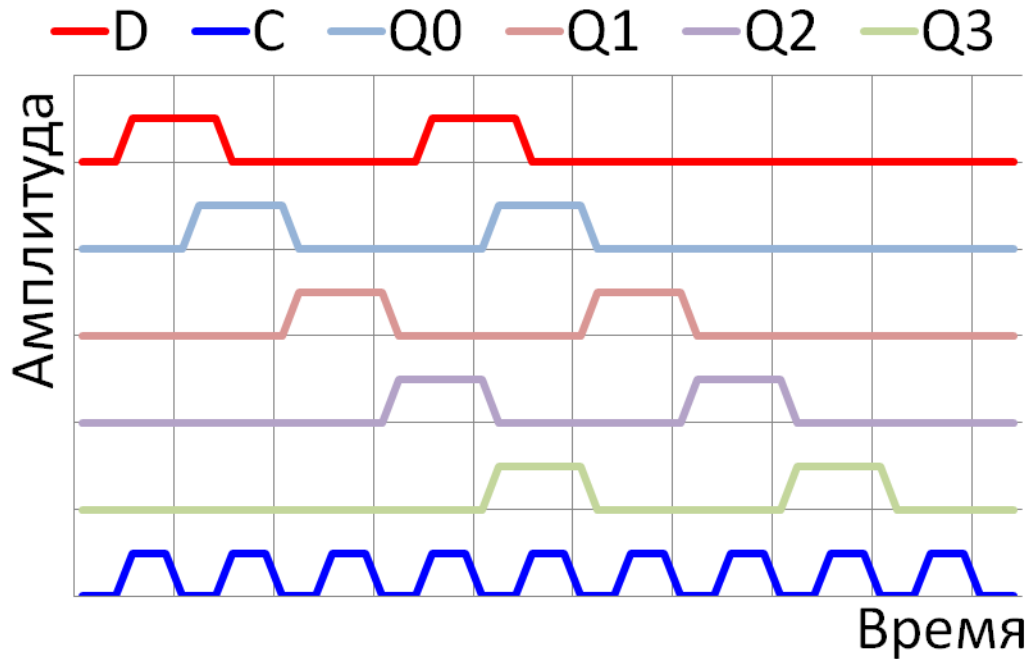


Схема сдвигающего регистра на D-триггерах



Обозначение сдвигового регистра (R – вход установки в нулевое начальное состояние, S – вход установки в единичное начальное состояние)



Временная диаграмма работы сдвигающего регистра на базе  $C_{L-F}D$ -триггеров

Сдвиговые регистры часто применяют для аппаратной обработки данных, например, потока оцифрованного звука.



# Счётчики

*Счётчики* – цифровые устройства предназначенные для подсчёта импульсов.

**По структурной реализации:** на триггерах, на регистрах, на кольцевых схемах, на многостабильных триггерах, совмещенные.

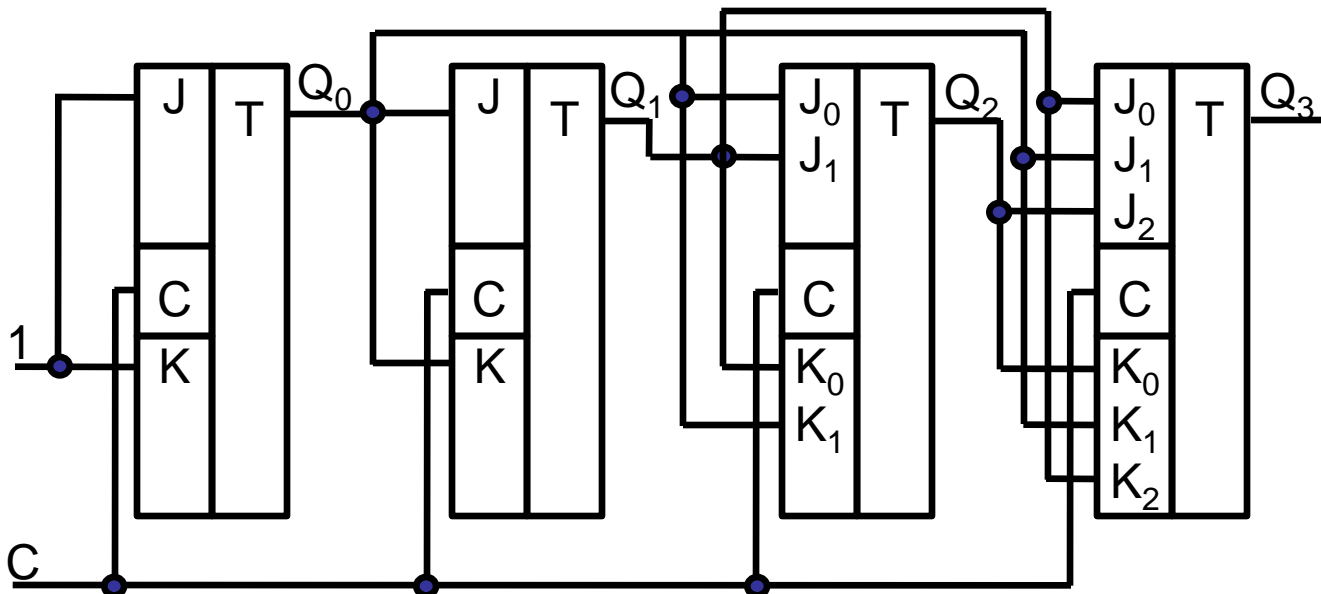
**По способу кодирования:** двоичный код, троичный код, двоично-десятичный, на специальных кодах (код Грея, Баркера и др.).

**По целевому назначению:** суммирующие, вычитающие, реверсивные, адресные.

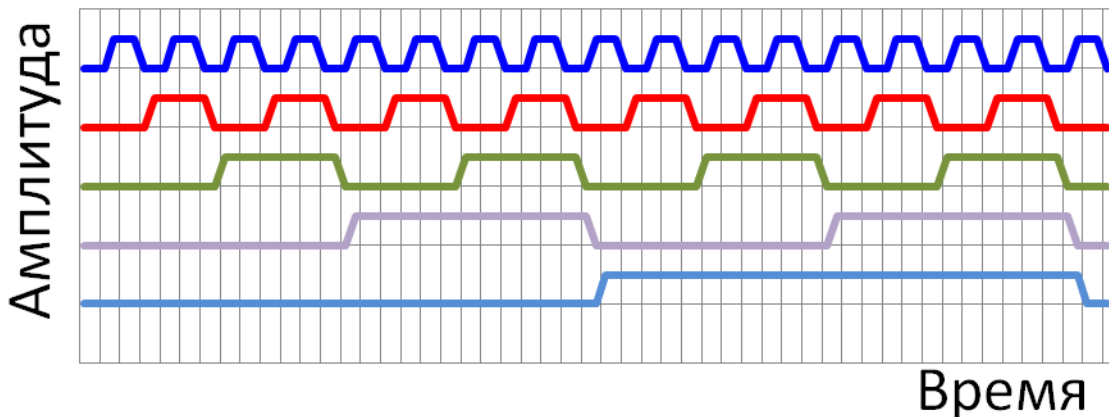
**По способу установки кода:** асинхронные, синхронные.

Задача проектирования счётчика сводится к разработке цифрового устройства, которое имело бы не менее заданного числа устойчивых состояний и последовательно переходило из одного состояния в другое под действием поступающих импульсов.

# Параллельный счётчик с непосредственными связями на JK-триггерах



— C    — Q<sub>0</sub>    — Q<sub>1</sub>    — Q<sub>2</sub>    — Q<sub>3</sub>



Временная диаграмма работы счётчика на базе C<sub>L-F</sub>JK-триггеров

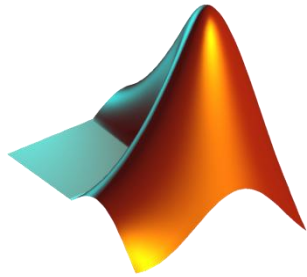
Параллельные счётчики с непосредственными связями обладают наибольшим быстродействием, поскольку связь между разрядами осуществляется без дополнительных элементов.

# Некоторые программы схемотехнического моделирования

 Spectrum Software

*MicroCap*

<http://www.spectrum-soft.com/>



*MatLab*

<http://www.mathworks.com/>



*Electronics Workbench*

<http://www.electronicworkbench.com/>



Proteus

<http://www.labcenter.com/>

Сегодня имеется значительный выбор средств моделирования схем на логических элементах.

# Список литературы

1. Набебин А. А. Дискретная математика. – М.: Научный мир, 2010. 512 с.: ил.
2. Андерсон Дж. А. Дискретная математика и комбинаторика. : Пер с англ. – М. Издательский дом «Вильямс», 2004. – 960 с.: ил. – Паралл. тит. англ.
3. Букерев И.Н., Горячев В. И., Мансуров Б. М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. М.: Техносфера, 2009, - 712 с.: ил.
4. Корис Р., Шмидт-Вальтер Х. Справочник инженера-схемотехника. – М.: Техносфера, 2008. – 608 с.: ил.
5. Безуглов Д. А., Калиенко И. В. Цифровые устройства и микропроцессоры. – Изд. 2-е – Ростов н/Д: Феникс, 2008. – 468 с.: ил.
6. Разевиг В. Д. Схемотехническое моделирование с помощью Micro-Cap 7. – М.: Горячая линия-Телеком, 2003. – 368 с.: ил.



Илья Репин. «Запорожцы пишут письмо турецкому султану»  
1878-1891. Русский музей,  
Санкт-Петербург.